**Proyecto IV**

1. **Objetivo del proyecto**

Modificar una computadora ya diseñada y funcionando, agregándole algunos circuitos y transformando algunos circuitos en chips, aquellos chips que se solicitaron en el proyecto anterior.

La computadora debe realizar todas las funciones mostradas abajo.

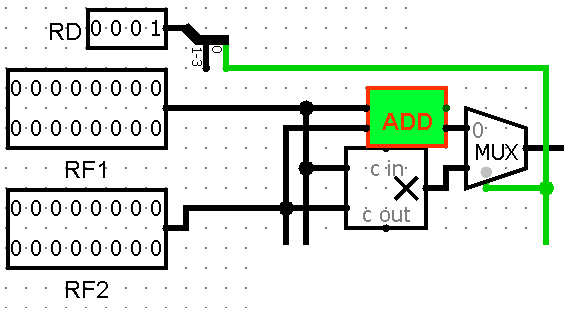
Procesador 16 bits – Instrucciones

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0000(bits 15-12) 0000(bits 11-8) 0000(bits 7-4) 0000(bits 3-0)

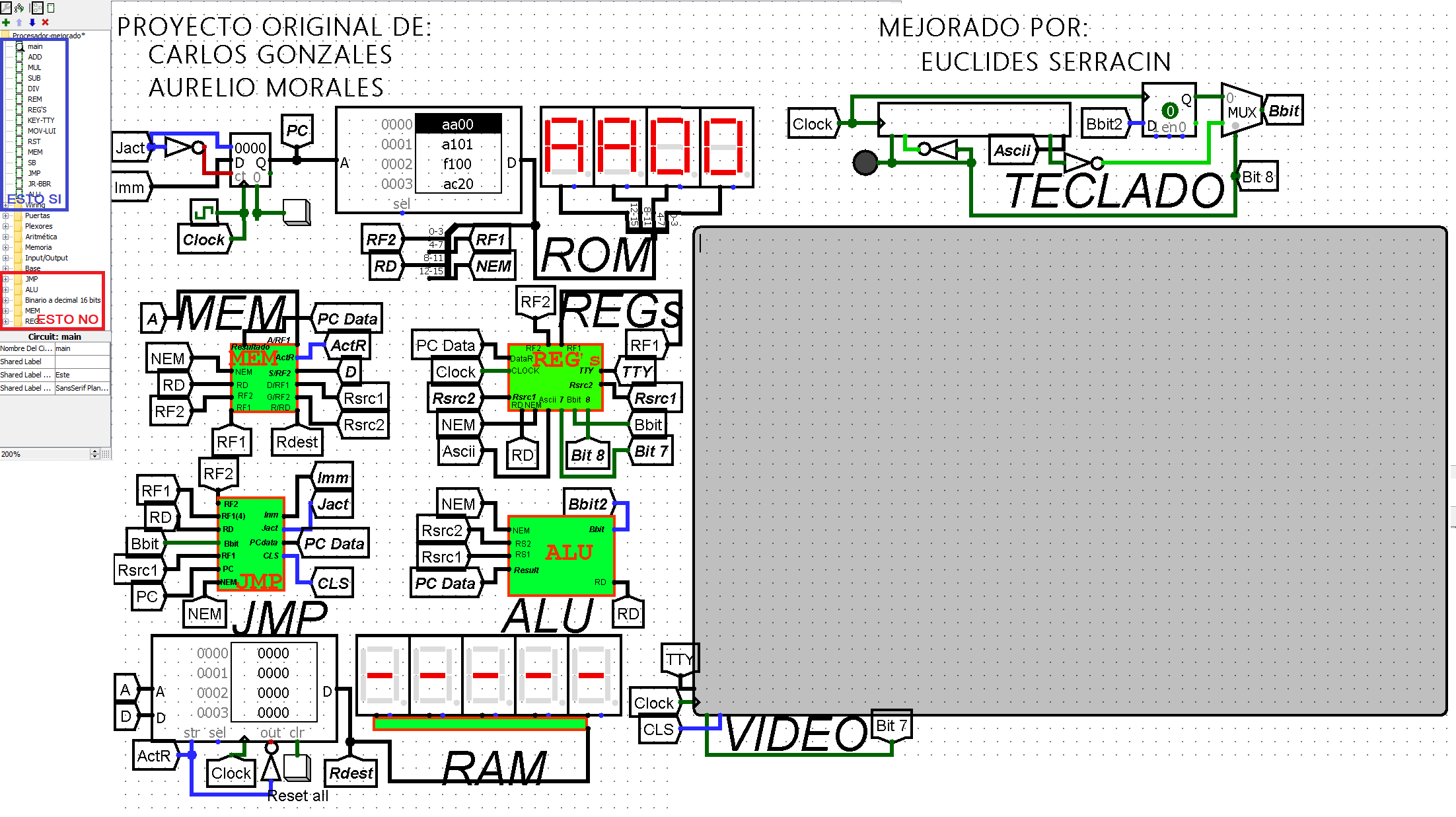
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| BIN H | Nemónico  Par | Nemónico  Impar | Destino | Fuente 1 | Fuente 2 |
| 0000 0 | ADD | **MUL** | RDest(Par/Impar) | RF1 | RF2 |
| 0001 1 | SUB | **DIV** | RDest(Par/Impar) | RF1 | RF2 |
| 0010 2 | AND | **REM** | RDest(Par/Impar) | RF1 | RF2 |
| 0011 3 | OR | **XOR** | RDest(Par/Impar) | RF1 | RF2 |
| 0100 4 | SR | **RR** | RDest(Par/Impar) | RF1 | xxx |
| 0101 5 | SL | **RL** | RDest(Par/Impar) | RF1 | xxx |
| 0110 6 | SLT | **SGT** | xxx(Par/Impar)Bbit | RF1 | RF2 |
| 0111 7 | EQ | **NEQ** | xxx(Par/Impar)Bbit | RF1 | RF2 |
| 1000 8 | SB | **MOV** | xxx(Par/Impar)Ram | Adress/RD | RF2 |
| 1001 9 | LB | **SWP** | RDest(Par/Impar) | Adress/RF1 | xxx |
| 1010 A | LI |  | RDest | Inm | Inm |
| 1011 B | **LUI** |  | RDest | Inm | Inm |
| 1100 C | JMP |  | Inm | Inm | Inm |
| 1101 D | BRA |  | Inm | Inm | Inm |
| 1110 E | JR | **BBR/RST** | xxx(Par/Impar-xxx:1 | RF1 | xxx |
| 1111 F | SPC | **CLS** | RDest(Par/Impar) | xxx | xxx |

Para poder tener más de 16 instrucciones hemos elegido al registro destino para señalar cuales son las primeras 16 instrucciones si el registro es par y las 13 nuevas instrucciones si el registro es impar, usando el siguiente método.



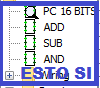
Para ejecutar una instrucción ahora el RD registro destino será el que escoge a través de un multiplexor cuál de las dos posibles instrucciones se ejecutan, en el caso de la imagen tenemos que escoger entre sumar o multiplicar, si RD es par el ultimo bit será 0 y si es impar el ultimo bit será 1 por lo tanto si el RD es par entonces ejecutara la suma si es impar ejecutara la multiplicación.

Estas es la computadora que diseñaran



Observen que **no** pueden hacer la computadora usando librería de archivos de logisim, **en rojo;**

Sino insertando todos los chips en un solo archivo, **en azul**

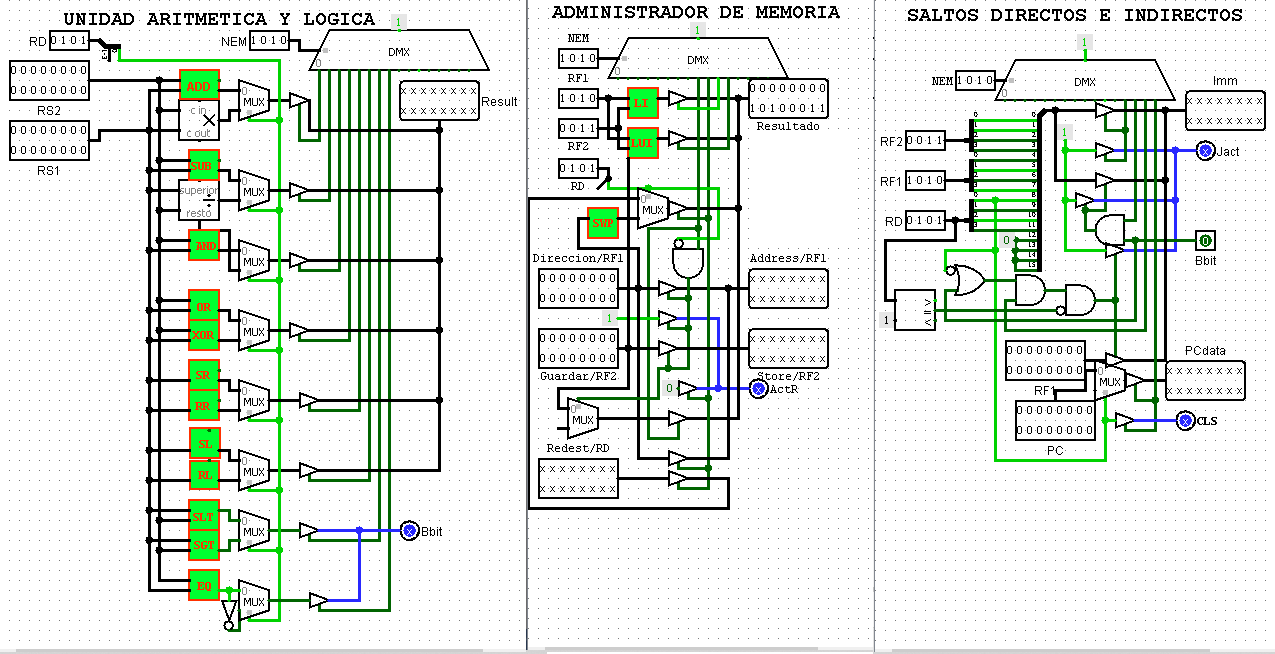
****

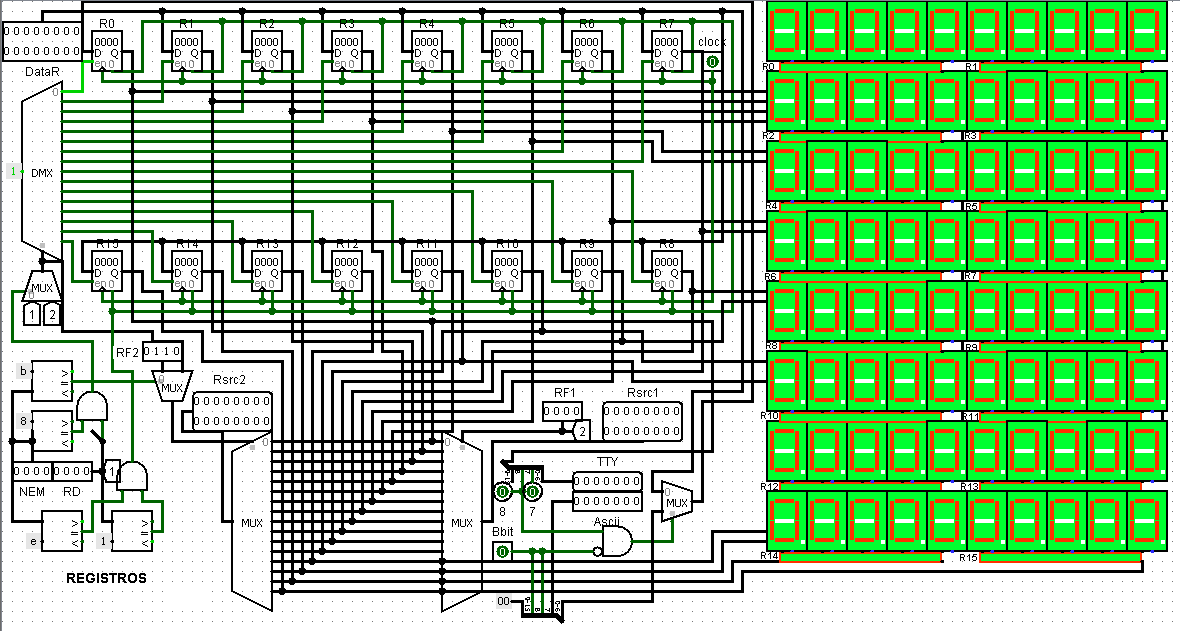


Aquí están las patitas de salida de los 4 chips

**Observen**

Nuevamente tendrán que diseñar o modificar los chips de la ALU, la unidad de registro REG’s, el chip de JMP y el chip de la MEM los cuales deben quedar como se muestra a un lado

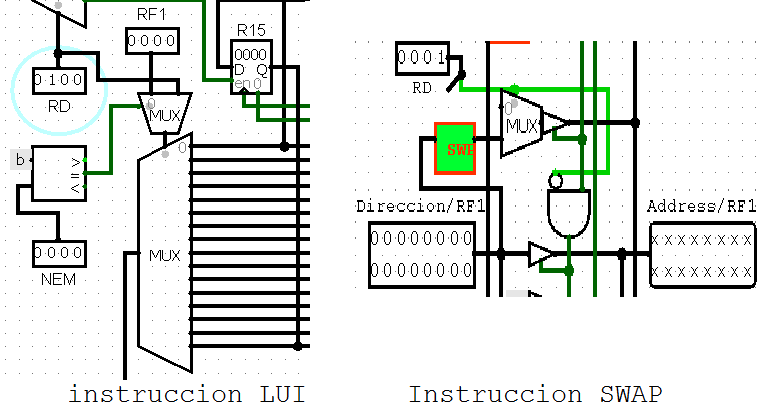




En el caso del chip de los REG’s hemos agregado una modificación para que la instrucción LUI (B) pueda cargar en la parte alta un dato sin alterar la parte baja de ese registro-

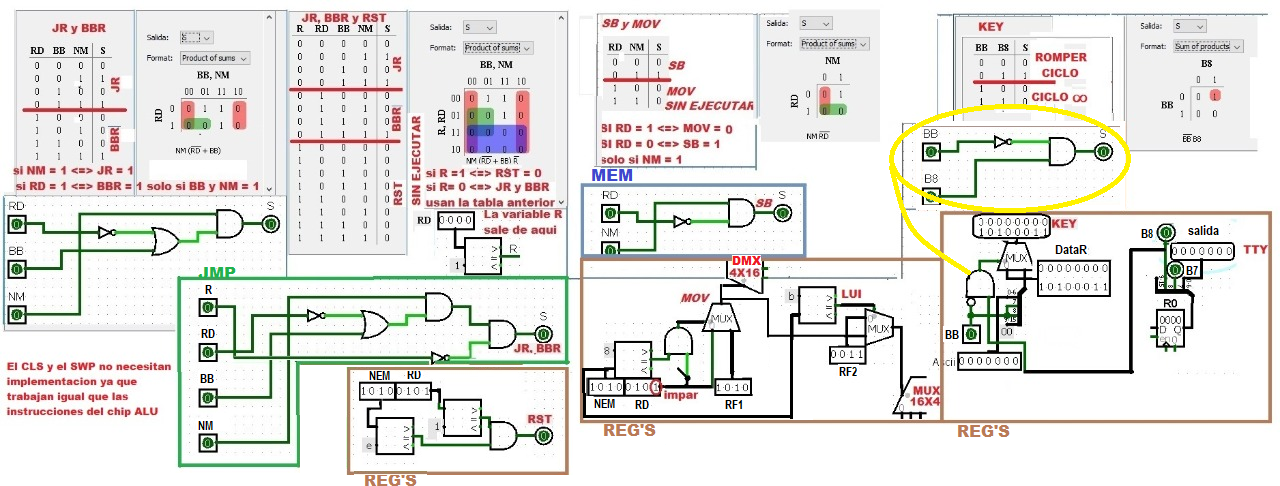
Por ejemplo LI r5 0x20

LUI r5 0x43 el registro R5 quedaría con el dato almacenado de 0x4320 observe que el mismo registro que se usó en LI es el mismo que se usa en LUI veamos la modificación.

SWAP (9) impar y LUI (B) par, son las otras dos instrucciones que se agregan.

Con respecto a la instrucción MOV (8) impar es otra instrucción que se implementa en REG’s

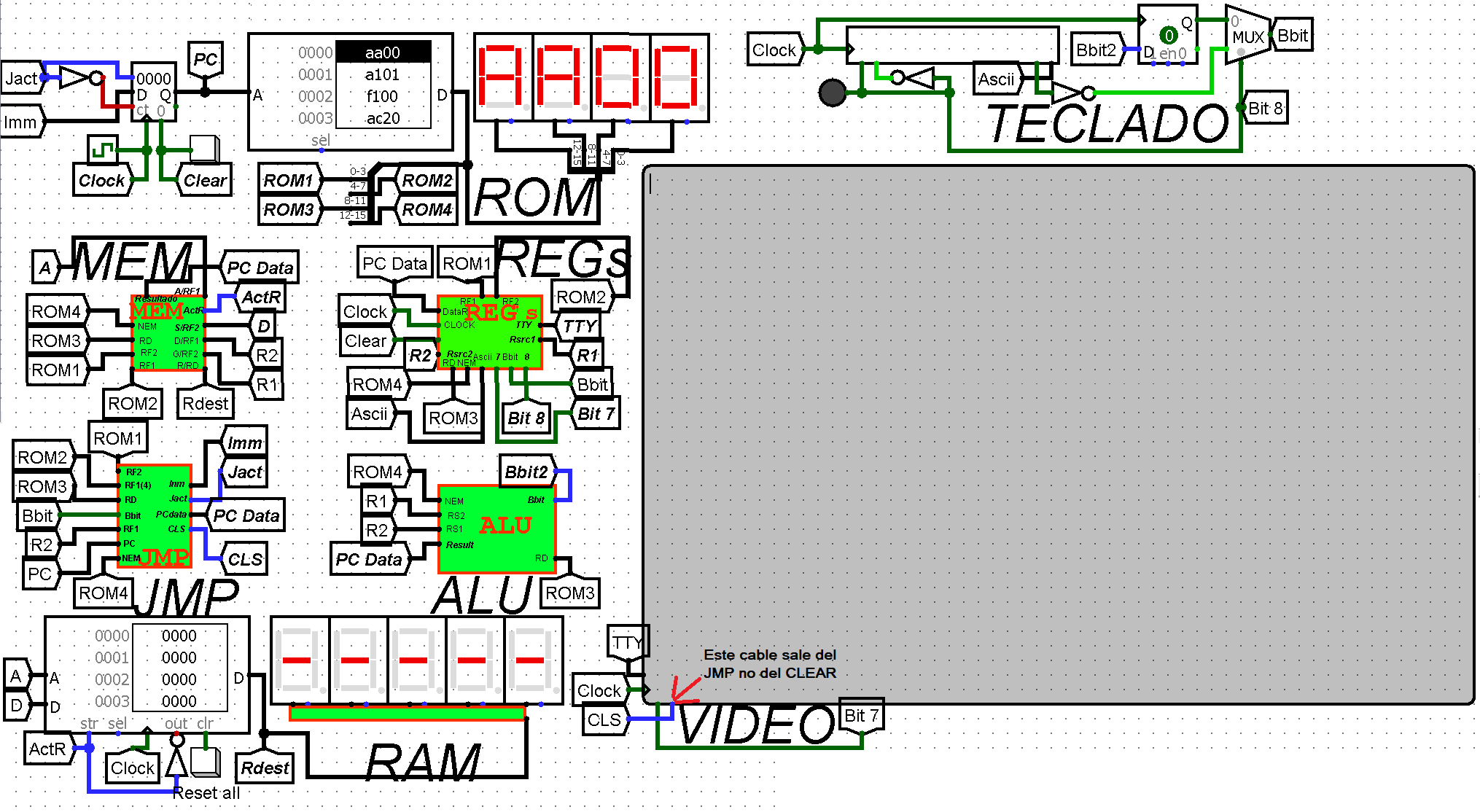
Aquí estan los nuevos chips que se deberan diseñar es decir se debe modificar los circuitos diseñados dentro de REG´s por Chip´s



Con respecto a BBR (E) y CLS (F) impar se implementan directamente en el chip JMP

RST (E) impar, la ejecución se implemente en REG´s

El chip de registro REG’s puede ser diseñado como una matriz de 2x8 , 8x2 o 4x4 y debe tener los LEDS de salida para representar la data en decimal, a continuación de los dos chips que faltan el de 8x2 y el de 4X4



Aquí tenemos al final la computadora que tienen que armar y les recomiendo que los chips tengan nombre con fondo verde y letras rojas, se recomienda que diseñen el chip de REG’s 2X8 y que le agreguen los LED’s para representación decimal (no es obligatorio)

En teams está la carpeta (ZipCircuitos 2) del proyecto II, con todos los circuitos necesarios para modificar la computadora los chips (5 en total), que se diseñen deben ser compactos.

Los archivos se entregaran empacados y se llamara como fue descrito en el proyecto I y II. Al correo [utp4006@gmail.com](mailto:utp4006@gmail.com)

**Fecha de entrega:** domingo 25 de junio a la 6pm